

PAT-NO: JP404357879A
DOCUMENT-IDENTIFIER: JP 04357879 A
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY
PUBN-DATE: December 10, 1992

INVENTOR-INFORMATION:

NAME
YOSHIMI, MASANORI
YAMAUCHI, YOSHIMITSU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP03132722
APPL-DATE: June 4, 1991

INT-CL (IPC): H01L029/788, H01L029/792 , H01L021/318 ,
H01L027/115

US-CL-CURRENT: 257/315, 257/324

ABSTRACT:

PURPOSE: To make thicknesses of insulating films of edges of a floating gate and a control gate uniform and to prevent a decrease in a breakdown voltage of an interlayer insulating film.

CONSTITUTION: An interlayer insulating film 10 between a part including a floating gate 6 and a control gate 8 and a select gate 9 covering it, is formed of an ONO film. A memory 1 having high breakdown voltage and high reliability can be realized.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-357879

(43) 公開日 平成4年(1992)12月10日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
21/318	M	8518-4M		
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
審査請求 未請求 請求項の数 1 (全 3 頁) 最終頁に続く				

(21) 出願番号 特願平3-132722

(22) 出願日 平成3年(1991)6月4日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 山内 祥光

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 野河 信太郎

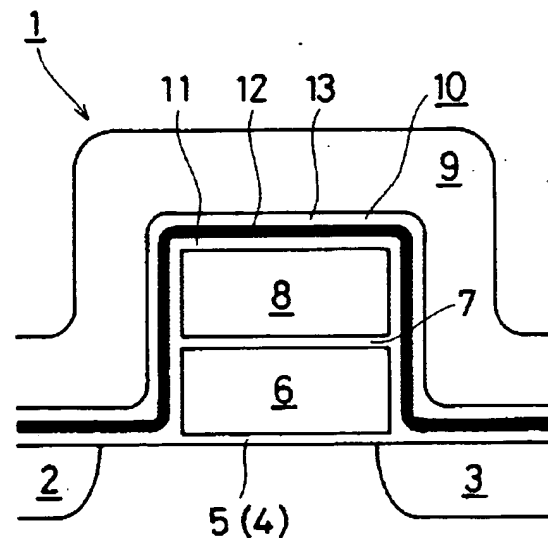
(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】 (修正有)

【目的】 フローティングゲート及びコントロールゲートのエッジ部分の絶縁膜厚を均一化し、層間絶縁膜の耐圧低下を防止する。

【構成】 フローティングゲート6とコントロールゲート8を含む部分と、これを覆うセレクトゲート9との間の層間絶縁膜10をONO膜とした。

【効果】 高耐圧、高信頼性のメモリを実現できる。



【特許請求の範囲】

【請求項1】 ソース・ドレインを有する半導体基板上に、フローティングゲート及びコントロールゲートが順次配設され、これらフローティングゲート及びコントロールゲートを含む下部ゲート部と、この下部ゲート部を覆うセレクトゲートとの間の層間絶縁膜をONO膜とした不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、高集積化に適したフラッシュE²PROMの不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】 従来この種メモリとしては、図2に示すものがある。図2において、ソース(21)、ドレイン(22)を有するSi基板(23)上に第1絶縁膜(24)を介してフローティングゲート(25)が配設され、さらに第2絶縁膜(26)を介してコントロールゲート(27)が配設され、さらに、第3絶縁膜(28)を介してセレクトゲート(29)が配設されてメモリ(30)が構成されている。

【0003】 また、フローティングゲート(25)とセレクトゲート(29)間の層間絶縁膜(31)やコントロールゲート(27)とセレクトゲート(29)間の層間絶縁膜(第3絶縁膜)(28)には熱酸化膜を使用している。

【0004】

【発明が解決しようとする課題】 しかし、従来の熱酸化膜により形成されたメモリは、フローティングゲート(25)及びコントロールゲート(27)のエッジ部分(32)での酸化膜厚が均一にならない(図3参照)ため、ここに電界集中が起こり、層間絶縁膜の耐圧低下をまねく。また、熱酸化膜質改善には、1000°C以上の高温酸化が必要となり、高集積化メモリーには適さない。

【0005】

【課題を解決するための手段及び作用】 この発明は、ソース・ドレインを有する半導体基板上に、フローティングゲート及びコントロールゲートが順次配設され、これらフローティングゲート及びコントロールゲートを含む下部ゲート部と、この下部ゲート部を覆うセレクトゲートとの間の層間絶縁膜をONO膜とした不揮発性半導体メモリである。

【0006】 すなわち、この発明は、フローティングゲートとコントロールゲートを熱酸化後、SiNデポ、熱酸化を行いONO膜を形成することで、フローティングゲートとコントロールゲートを含む部分とセレクトゲートとの層間絶縁膜を形成してこれを同時にセレクトゲート絶縁膜とすることで、簡単に高信頼性の絶縁膜を有するメモリを提供するものである。

【0007】

【実施例】 以下実施例について説明する。なお、この発明はこれによって限定を受けるものではない。図1において、メモリセル(1)は、ソース(2)、ドレイン(3)を有するSi基板(4)上に第1絶縁膜(5)を介してフローティングゲート(6)が配設され、さらに第2絶縁膜(7)を介してコントロールゲート(8)が配設され、さらにコントロールゲート(8)、フローティングゲート(6)を含む部分と、これらを覆うセレクトゲート(9)間の第3絶縁膜(10)としてONO膜が配設されてなる。このONO膜(10)はセレクトゲート絶縁膜としても機能するものであり、下層のSiO₂膜(11)、中層のSiN膜(12)、上層のSiO₂膜(13)からなる。

【0008】 以下製造方法について簡単に説明する。フローティングゲート(6)とコントロールゲート(8)をエッチングした後、セレクトゲート層の酸化膜を除去した後、熱酸化を行う。この際、コントロールゲート(8)上に120Åの熱酸化膜(11)を形成する。次に、SiN膜(12)をCVD法で200Å厚に積層し、その後、SiN膜(12)上を熱酸化して20~30Åの熱酸化膜(13)を形成する。続いて、セレクトゲート(9)をパターン形成する。

【0009】 このように本実施例では、コントロールゲート(8)とフローティングゲート(6)を含む部分とこれを覆うセレクトゲート(9)との間の層間絶縁膜(10)をONO膜としたのでこの膜厚を均一にできるとともに、ビットライン上をフローティングゲートパターンで完全に覆う構造としビットライン上のSi基板(4)の掘れを防止できる。

【0010】

【発明の効果】 以上のようにこの発明によれば、コントロールゲートとフローティングゲートを含む部分と、これを覆うセレクトゲートとの間の層間絶縁膜をONO膜としたので、層間絶縁膜としての膜厚を均一にできると、高信頼性のメモリを実現できる。

【図面の簡単な説明】

【図1】 この発明の一実施例を示す構成説明図である。

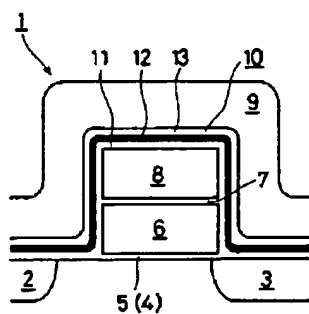
【図2】 従来例を示す構成説明図である。

【図3】 従来例を示す要部構成説明図である。

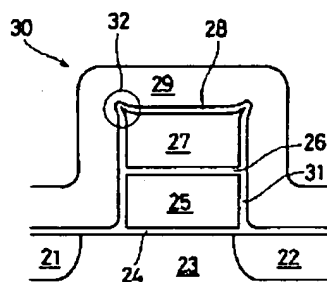
【符号の説明】

1. メモリ
2. ソース
3. ドレイン
4. Si基板
6. フローティングゲート
7. コントロールゲート
9. セレクトゲート
10. ONO膜

【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁵

H01L 27/115

識別記号

片内整理番号

F I

技術表示箇所